

プログラマブルサーキットボードによる試作基板の設計

Development of prototype circuit using Field Programable Circuit Board

江口 俊哉*
Eguchi, Toshiya

佐藤 幸一*
Sato, Kouichi

We studied the electrical characteristics and the costs of FPCB** (Field Programable Circuit Board) and the circuit board manufactured in the conventional method. As a result of the comparison, we are confident that the FPCB technology will reduce the development costs drastically and realize a new effective design environment for ASICs and system development.

1 まえがき

電子機器は常に、より高速化、高機能化が求められ、新規製品の開発にかかるコストは増加し、近年、大きな問題となっている。より早く、低価格な製品の開発のためには効率的な開発手法による、開発期間、使用部品を含めたトータルな低コスト化の実現が望まれている。

現在、システムや ASIC の設計評価用基板の作成手段として、ラッピング基板、又はプリント基板が用いられているが、どちらの手段も作成に要するコストが多めで、かつ設計変更の場合には、基板の作り直しによって大幅に設計期間が増加するというリスクを伴う。

そこで、極めて短期間で試作基板が作成できる。FPCB を用いて、以前に設計されたラッピング基板とプリント配線基板と同様の仕様で設計を行い、開発コストと電気的特性について比較した結果をもとに、試作基板の自動化設計手法を提案する。

2 FPCB 開発システム

今回使用した FPCB は、基板に配置された部品間の配線を行う FPIC** (Field Programable Inter Conect : SRAM 構成のスイッチアレイ IC) を 4 個搭載し、それらにより基板上の 2940 個のピンソケット間を自由に配線できるプログラマブルな汎用基板 (AXB-GP4) である。配線のプログラムは、ワークステーション上のソフトウェアが回路図データを読み込んで、FPCB 内部配線データを生成し、FPCB に対してデータをロードすることにより行われる。配線データは、何度でも書き換え可能なため、設計変更にも柔軟に対応できる。

以下に今回の FPCB 設計フローを示す。

- ① Orcad による回路図入力、ネットリスト作成
- ② 自動配置配線 (FPCB 用ソフトウェア)
- ③ FPCB のピンソケットへ部品を実装
(電源やパソコンは、はんだ付けが必要)
- ④ 配置配線データのロード (RS232C 経由)

* 技術研究所 1G ASICGr

** FPCB および FPIC は、APTIX corp. の登録商標

3 従来手法との比較

3.1 開発コストの比較

今回、比較評価の対象とした回路は、512M ビット DRAM を搭載した画像メモリボードで、パソコン上の画像データを 15MHz のドットクロックに同期させてプリンタへ転送する目的で設計された。

基板は、プリント基板、ラッピング基板、FPCB のいずれもほぼ A4 サイズ大である。ボード全体を制御する論理回路全てを納めた LCA (XC4010) 1 個と 32M ビットの DRAM モジュール 16 個、バッファ、ソケット、LED 等で構成されている。(Fig. 1)

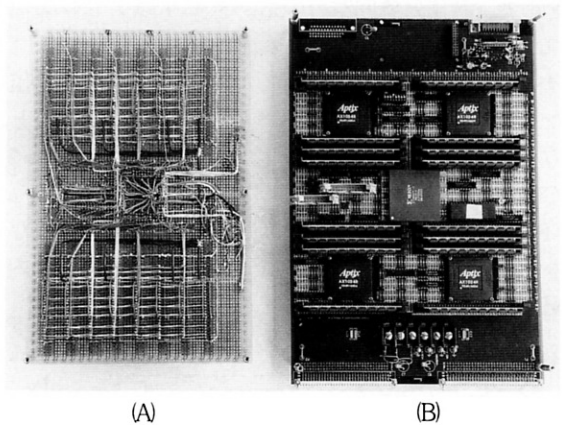


Fig. 1 Wire-Wrapped board (A) & FPCB (B)

基板の開発に要した時間と基板価格、及び想定される設計条件に対する対応の評価を Table 1 に示す。基板価格とは、部品代を含まない基板作成に要した価格であり、プリント基板については外注作業による開発費、FPCB は AXB-GP4 と FPIC 4 個の購入価格 (定価) である。はじめて開発する場合は、開発システムの購入費用が別途必要となる。

1 年間に作成する試作基板の種類や設計変更による基板の修正や作りなおしの回数を考慮すると、変更、複製、再利用が可能で、しかも極めて短期間で開発できる FPCB の使用は、開発コスト削減の方法として期待できる。

Table 1 Comparison of Development Costs

	Printed Circuit Board	Wire-Wrapped Board	FPCB
開発時間	5Weeks	4Day	1Day
基板価格	¥ 720,000	¥ 20,000	¥ 1,150,000
設計変更	×	△	○
複製	○	△	○
再利用	×	×	○

3.2 電気的特性の比較

基板設計において、配線による絶対的な遅延値とその配線間の相対的なバラツキの大きさは、基板最大動作スピードを決定する大きな要因である。

配線による遅延は、プリント基板やラッピング基板の場合は、配線長により遅延値をある程度予測できるため、クロックラインやバスラインなど、遅延値のバラツキをある数値以下にしなければならない場合には、配線長をそろえることで設計者の意図を反映できるが、FPCBでは、Fig. 2に示す近似回路のFPIC内部をソフトウェアが決定したルートで配線され、部品の配置によって1個又は複数個のFPICを通過した分だけ遅延するので、他の基板に比べて遅延値と、そのバラツキが大きくなることが予想される。

そこで、評価対象回路の中で、メモリのアドレスバス(11ビット)に注目し、LCAの出力ピンから、バッファを経由して、メモリのアドレス入力ピンまでの遅延値を比較した。アドレスをドライブするバッファの種類と、その分岐数が他の基板と同じ場合の結果がTable 2/FPCB(A)である。

FPCBの遅延値とバラツキは他の基板と比べてかなり大きく、同一回路で基板性能を比較した場合、FPIC内部の配線遅延が大きな問題となることがわかった。

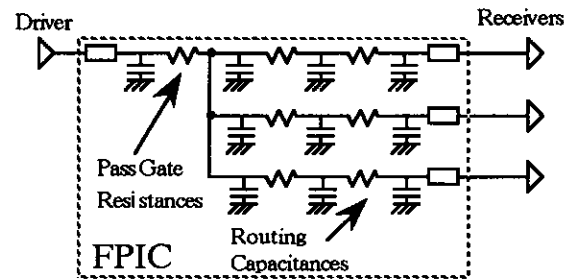


Fig. 2 Approximate FPIC Net Model

3.3 FPCBの高速化

FPICの内部構造から考えると、FPIC内部での分岐が多くなると、他に比べて遅延の増加が大きくなることが予想される。そこで、Fig. 3のようにFPIC内部で配線の分岐をさせない回路に変更することでFPCBの高速化を試み、遅延値の測定を行った。

Table 2 Comparison of Delay Time

測定値 (nS)	Printed Circuit Board	Wire-Wrapped Board	FPCB(A)	FPCB(B)
平均値	10.5	17.3	40.0	16.5
最大値	12.6	19.2	47.8	18.8
最小値	9.1	15.0	31.7	14.2
バッファ	74HC244			PAL16L8-5
ファンアウト	4			1

Table 2 / FPCB (B) が示すように回路変更の結果、FPCBを高速化することに成功し、元の回路のラッピング基板と同等の遅延値で配線することが可能であることが確認できた。また、信号の波形も高速なバッファを使用したにもかかわらず、FPICがR-Cのローパスフィルタとして働くため、他の基板で発生しやすいオーバーシュートやアンダーシュートは見られず、安定した波形で動作した。

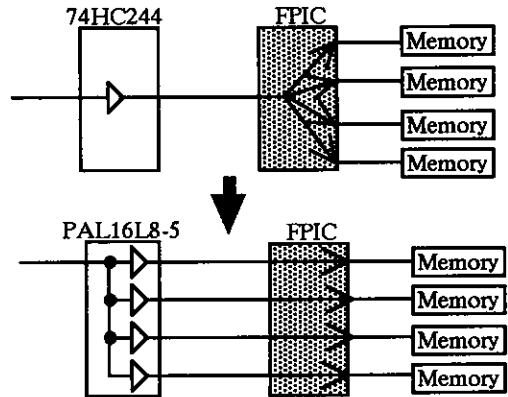


Fig. 3 Breaking up high-fanoutnets

4 むすび

FPCBを使用することにより、従来の試作基板に比べて極めて短期間にシステムを構築することができる。また、設計変更等にも柔軟に対応できるため、納期遅れ等のリスクが少なく、機能やアルゴリズムの検討に充分時間を使うことができるようになり、開発工程におけるコストの削減と質の向上の両面が期待できる。

FPCBを使う上で留意すべき点は、FPICのファンアウト数で、この点を考慮して設計すれば、従来のラッピング基板と同等の動作スピードの基板が設計可能である。過去、FPGAが急速な進歩と普及の過程をたどったように、FPGAと同じCMOS技術を応用しているFPICは、スピードと集積度の面でのパフォーマンス向上が十分に期待でき、これを使用したFPCBを今後ASICエミュレーションやシステム開発環境に適用していきたい。

最後に、遅延測定等を行うにあたり、ご協力いただいた技研KPT、DPTの皆様へ深く感謝いたします。